

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-160624

(43)Date of publication of application : 22.08.1985

(51)Int.Cl.

H01L 21/58

(21)Application number : 59-017399

(71)Applicant : SHARP CORP

(22)Date of filing : 31.01.1984

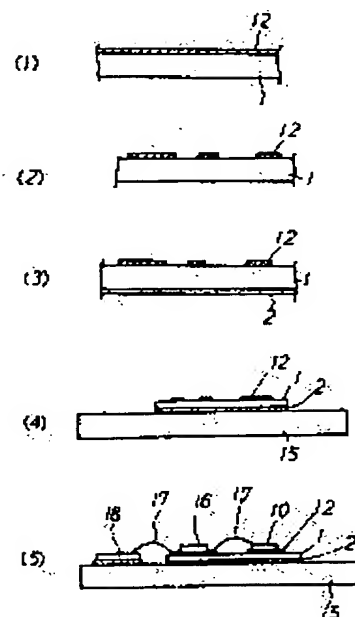
(72)Inventor : ITO HIROSHI
FUKUZUMI MASAHIRO
AWAJI HIDEKAZU

(54) DIELECTRIC ISOLATION FOR SEMICONDUCTOR CHIP

(57)Abstract:

PURPOSE: To realize stability to heat and impulse, and reduction in cost through easy assembling by loading a film piece to a substrate such as a heat sink and mounting a semiconductor chip to such film piece.

CONSTITUTION: After forming a conductor 12 on a tape film 1 such as a polyimide by the method such as plating, vacuum deposition, sputtering or attachment of conductor, unwanted conductor part is removed by etching the conductor 12. The lower surface of tape film 1 is coated with a bonding agent 2. The bonding agent to be used must be selected from those which are acrylic or epoxy system, semi-hardened, and remelted and hardened when heated for actual use. The tape film is wound into a coil. A tape film 1 is punched and bonded on the heated lead frame and substrate 15 and then the connecting leads 17 such as die bonding and wire bonding, etc. are assembled.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

DIELECTRIC ISOLATION FOR SEMICONDUCTOR CHIP

Patent Number: JP60160624
 Publication date: 1985-08-22
 Inventor(s): ITOU HIROSHI; others: 02
 Applicant(s): SHARP KK
 Requested Patent: ☒ JP60160624
 Application Number: JP19840017399 19840131
 Priority Number(s):
 IPC Classification: H01L21/58
 EC Classification:
 Equivalents:

Abstract

PURPOSE: To realize stability to heat and impulse, and reduction in cost through easy assembling by loading a film piece to a substrate such as a heat sink and mounting a semiconductor chip to such film piece.

CONSTITUTION: After forming a conductor 12 on a tape film 1 such as a polyimide by the method such as plating, vacuum deposition, sputtering or attachment of conductor, unwanted conductor part is removed by etching the conductor 12. The lower surface of tape film 1 is coated with a bonding agent 2. The bonding agent to be used must be selected from those which are acrylic or epoxy system, semi-hardened, and remelted and hardened when heated for actual use. The tape film is wound into a coil. A tape film 1 is punched and bonded on the heated lead frame and substrate 15 and then the connecting leads 17 such as die bonding and wire bonding, etc. are assembled.

Data supplied from the esp@cenet database - I2

DIELECTRIC ISOLATION FOR SEMICONDUCTOR CHIP

Patent Number: JP60160624
Publication date: 1985-08-22
Inventor(s): ITOU HIROSHI; others: 02
Applicant(s): SHARP KK
Requested Patent: ☒ JP60160624
Application Number: JP19840017399 19840131
Priority Number(s):
IPC Classification: H01L21/58
EC Classification:
Equivalents:

Abstract

PURPOSE: To realize stability to heat and impulse, and reduction in cost through easy assembling by loading a film piece to a substrate such as a heat sink and mounting a semiconductor chip to such film piece.

CONSTITUTION: After forming a conductor 12 on a tape film 1 such as a polyimide by the method such as plating, vacuum deposition, sputtering or attachment of conductor, unwanted conductor part is removed by etching the conductor 12. The lower surface of tape film 1 is coated with a bonding agent 2. The bonding agent to be used must be selected from those which are acrylic or epoxy system, semi-hardened, and remelted and hardened when heated for actual use. The tape film is wound into a coil. A tape film 1 is punched and bonded on the heated lead frame and substrate 15 and then the connecting leads 17 such as die bonding and wire bonding, etc. are assembled.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-160624

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)8月22日

H 01 L 21/58

6679-5F

審査請求 有 発明の数 1 (全3頁)

⑮ 発明の名称 半導体チップの絶縁分離方法

⑯ 特 願 昭59-17399

⑰ 出 願 昭59(1984)1月31日

⑱ 発 明 者	伊 藤 弘	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	福 角 正 裕	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	淡 路 英 一	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑲ 出 願 人	シャープ株式会社	大阪市阿倍野区長池町22番22号	
⑳ 代 理 人	弁理士 福士 愛彦	外2名	

明 細 書

1. 発明の名称

半導体チップの絶縁分離方法

2. 特許請求の範囲

1. 接層層を有するポリイミド樹脂等の絶縁フィルム片をリードフレーム、ヒートシンク等の基板に取付し、上記絶縁フィルム片に半導体チップを実装することにより、上記半導体チップと上記基板間^{とを}電気的に分離し絶縁を行うようにしたことを特徴とする半導体チップの絶縁分離方法。

2. 絶縁フィルム片が電極取出し用の導体をもつ特許請求の範囲第1項記載の半導体チップの絶縁分離方法。

3. 発明の詳細な説明

〈技術分野〉

本発明は、半導体チップの絶縁分離方法に係り、特に半導体チップとリードフレーム、ヒートシンク等の基板とを電気的に絶縁分離する方法に関する。

〈従来技術〉

従来、パワートランジスタ、トライアック等の半導体素子をシートシンクに取付ける場合、第8図に示すように半導体素子30をヒートシンク31に直接はんだ付けしている。しかし、この場合ヒートシンク31には電圧が印加されることになり、放熱板へ取付けると感電の危険性があることから、第9図のようにマイカやテフロン等の絶縁シート33をヒートシンク31と放熱板34との間に挟み込み、プラスチックねじ35でヒートシンクを放熱板へ取付け絶縁する必要があった。また、このような方法が採用できない場合は、第10図のように電極を形成したセラミック基板36をヒートシンク31にはんだ付けし、更にセラミック基板36に半導体素子30をダイボンディングあるいはワイヤボンディングすることによって、ヒートシンク31と半導体素子31間をセラミック基板36を用いて電気的に絶縁分離していた。

しかしながら、上述の方法はいずれも取付け組立てが煩雑であり、かつコスト高となる欠点を有

していた。

〈目 的〉

本発明は従来の欠点を除去するためになされたものであり、熱的にも衝撃にも安定であり取付け組立てが容易でコストの低減が図れる半導体チップの絶縁分離方法を提供することを目的とする。

〈実施例〉

第1図に示すように、ポリイミド、ポリアミド、テフロン、エポキシ等の樹脂からなるフィルム片1に接着剤2を塗布し、これをテープ状に定形化してヒートシンク上に接着できるように構成する。上記接着剤2は加熱によりヒートシンクに容易に接着し、上記フィルム片1に半導体チップをダイボンディングするものである。この絶縁層であるフィルム片1は第2図に示す如く自動化が容易であり、作業性の良好な形成操作が可能である。図において、フィルム片を構成するテープ3は巻取りロール4及び供給ロール5に巻回され、裏面よりヒータ7により加熱されたヒートシンク6に打ち抜きポンチ9を備えるプレス8を用いて上記テ

プ3をヒートシンク6に加熱により圧着接続させる。このようにして、第3図に示すようにヒートシンク6上にフィルム片1を介して半導体チップ10がペーストを介して実装され、フィルム片1は半導体チップ10とヒートシンク6とを電気的に絶縁分離する。また、パワートランジスタやトリアックに於ては、半導体チップの底面から導通をとる必要があるため、ポリイミド等のフィルム片1の上面に予め蒸着、スパッタリング、メッキなどのメタライズ処理や金属箔の貼付などによって電極12を形成し、この電極上へペーストで半導体チップ10をダイボンディングする。パワーICなどに於ては、一般に、チップ底面からの導通は不要であるが、従来、第11図のようにパワーICチップ37とヒートシンク31との絶縁を絶縁ペーストでダイボンディングしていたが、絶縁性が不確実であるという欠点があった。しかし、第3図の如く、フィルム片1を介在することによって絶縁性を確実なものとすることができる。また、パワーデバイスに於て、動作時や加熱時、

熱歪がかなり発生し、半導体チップに悪影響を及ぼす。従来、半導体チップ10は樹脂モールド39され、ヒートシンク6にはんだ32で固着されており、かなりのストレスを受ける(12図)が、第5図のようにポリイミド等のフィルム片1があると、このフィルム片1が緩衝作用を有するため、ストレスを柔らげる。又フィルム片は熱的に安定である。このほか、ハイブリッドIC等に於て、パワーチップとICチップとの電気的分離にも有効である。第6図は電極体のポリイミド層を貼付けた半導体装置の断面図である。図において、15は銅、Niメッキ等の基板、16はチップ抵抗、17はワイヤボンダ、18はパワーチップ、19ははんだである。

次に製造方法を第7図に基づいて説明する。

- (1) ポリイミド等のテープフィルム1上にメッキ、蒸着、スパッタリング、導体貼付等の既知の方法で導体12を形成する。
- (2) 導体12をエッチングして不要な導体部分を除去する。

- (3) テープフィルム1の下面に接着剤2を塗布する。接着剤はアクリル系、エポキシ系等のもので、半硬化状態とし、使用に際して加熱することにより、再溶融し、硬化するものを選択する。上記テープフィルムを巻取りコイル上にする。
- (4) 加熱したリードフレーム、基板15上でテープフィルム1を打ち抜き、接着させる。
- (5) ダイボンディング、ワイヤボンディング等の接続リード17のアセンブリを行ない、完成品とする。

〈効 果〉

以上説明した様に本発明によれば、ヒートシンク等の基板にフィルム片を取着し、このフィルム片に半導体チップを実装することにより、半導体チップと基板間の電気的絶縁分離を行うようにしたから、熱的にも衝撃に対しても安定であり、取付け、組立てが容易で作業性が良好で、かつコストの低減化を図ることができる。

4. 図面の簡単な説明

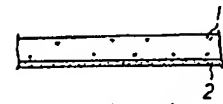
第1図ないし第7図は本発明の半導体チップの

絶縁分離方法に係り、第1図はフィルム片構成の平面図、第2図はフィルム片形成の工程を示す図、第3図は半導体チップを載せたフィルム片をヒートシンクに取着する断面図、第4図は他の実施例を示す図、第5図はパワーデバイスの説明に係る断面図、第6図は完成図、第7図は製造工程を示す図であり、また第8図ないし第12図は従来の方法に係り、第8図、第10図、第11図、第12図は一例を示す断面図、第9図はヒートシンク取付状態を示す斜視図である。

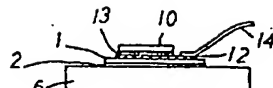
符号の説明

1: フィルム片、 6, 15: 基板、 10: 半導体チップ

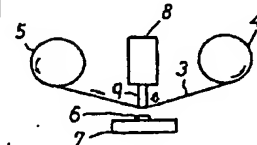
代理人 井理士 福士 愛彦(他2名)



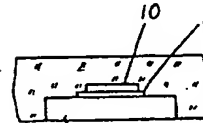
第1図



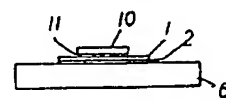
第4図



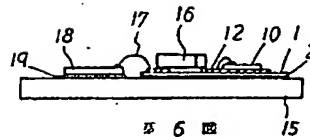
第2図



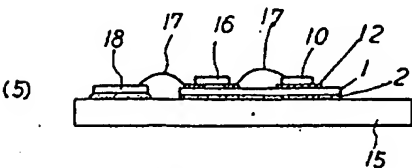
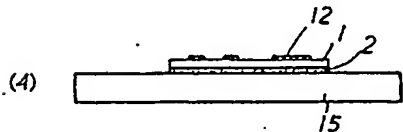
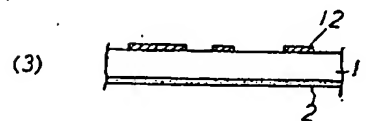
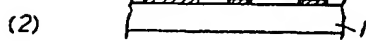
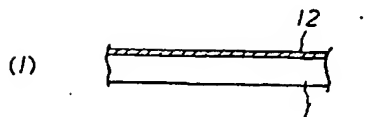
第5図



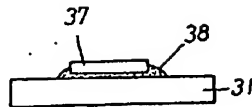
第3図



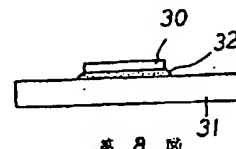
第6図



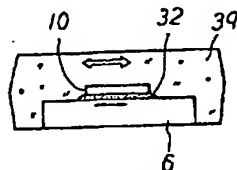
第7図



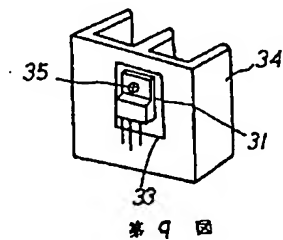
第11図



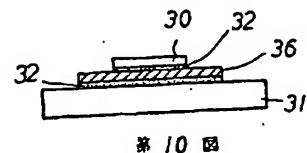
第8図



第12図



第9図



第10図